

PATENT
2557-000163/US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): JA-HUM KU et al.
Application No: NEW
Filed: September 22, 2003
For: METHODS OF FABRICATING A SEMICONDUCTOR DEVICE
HAVING A METAL GATE PATTERN

PRIORITY LETTER

September 22, 2003
(on 9/19/03 the USPTO was closed due to Hurricane Isabel)

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sirs:

Pursuant to the provisions of 35 U.S.C. 119, enclosed is/are a certified copy of the following priority document(s).

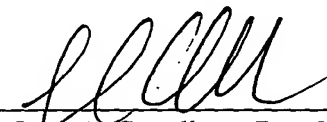
<u>Application No.</u>	<u>Date Filed</u>	<u>Country</u>
2002-57456	9/19/2002	Korea

In support of Applicant's priority claim, please enter this document into the file.

Respectfully submitted,

HARNESS, DICKEY, & PIERCE, P.L.C.

By



John A. Castellano, Reg. No. 35,094
P.O. Box 8910
Reston, Virginia 20195
(703) 668-8000

JAC/cah

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2002-0057456
Application Number PATENT-2002-0057456

출원 년 월 일 : 2002년 09월 19일
Date of Application SEP 19, 2002

출원인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



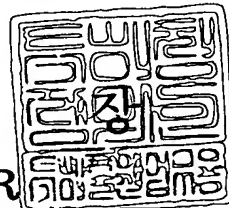
2002 년 12 월 18 일

특

허

청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0023
【제출일자】	2002.09.19
【국제특허분류】	H01L
【발명의 명칭】	금속 게이트 패턴을 갖는 반도체소자의 제조방법
【발명의 영문명칭】	Method of fabricating semiconductor device having metal gate pattern
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	구자홍
【성명의 영문표기】	KU, Ja Hum
【주민등록번호】	680110-1010516
【우편번호】	463-500
【주소】	경기도 성남시 분당구 구미동(무지개마을) 건영아파트 1004-1401
【국적】	KR
【발명자】	
【성명의 국문표기】	이창원
【성명의 영문표기】	LEE, Chang Won
【주민등록번호】	680703-1004911

【우편번호】	140-031
【주소】	서울특별시 용산구 이촌1동 수정아파트 207호
【국적】	KR
【발명자】	
【성명의 국문표기】	허성준
【성명의 영문표기】	HEO, Seong Jun
【주민등록번호】	730720-1074214
【우편번호】	138-050
【주소】	서울특별시 송파구 방이동 71-1 3F
【국적】	KR
【발명자】	
【성명의 국문표기】	윤선필
【성명의 영문표기】	YOUN, Sun Pil
【주민등록번호】	730821-1069318
【우편번호】	151-021
【주소】	서울특별시 관악구 신림11동 746-1
【국적】	KR
【발명자】	
【성명의 국문표기】	김성만
【성명의 영문표기】	KIM, Sung Man
【주민등록번호】	741014-1337311
【우편번호】	156-052
【주소】	서울특별시 동작구 노량진2동 248-78 18/1
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	13 면 13,000 원

1020020057456

출력 일자: 2002/12/20

【우선권주장료】	0	건	0	원
【심사청구료】	26	항	941,000	원
【합계】	983,000			원
【첨부서류】	1. 요약서·명세서(도면)_1통			

【요약서】

【요약】

금속 게이트 패턴에 포함된 금속층의 산화를 억제하면서 게이트 패턴의 에지에 있는 실리콘 함유 물질을 선택적으로 산화시켜 식각 데미지를 양호하게 큐어링할 수 있는 동시에 게이트 절연층의 편치쓰루우를 방지할 수 있는 금속 게이트 패턴을 갖는 반도체 소자의 제조방법이 개시된다. 본 발명의 방법은, 실리콘기판상에 게이트 절연층을 형성한 후, 상기 게이트 절연층이 형성된 실리콘기판상에 적어도 금속층을 포함한 금속 게이트 물질층을 증착한다. 이어서 상기 금속 게이트 물질층을 식각하여 금속 게이트 패턴을 형성한 후, 상기 금속 게이트 패턴상에 캡핑층을 형성하고, 상기 금속 게이트 패턴을 형성하기 위한 식각시 발생한 데미지를 큐어링하기 위해 상기 금속 게이트 패턴에 포함된 상기 금속층의 산화를 억제하면서 실리콘을 함유한 물질을 선택적으로 산화시키는 선택적 산화 공정을 수행한다.

【대표도】

도 2

【명세서】

【발명의 명칭】

금속 게이트 패턴을 갖는 반도체소자의 제조방법 {Method of fabricating semiconductor device having metal gate pattern}

【도면의 간단한 설명】

도 1은 종래 기술에 따른 선택적 산화 공정을 적용한 경우 게이트 길이에 따른 게이트 산화막의 두께를 나타내는 그래프이다.

도 2는 본 발명의 실시예에 따른 금속 게이트 패턴을 갖는 반도체 소자의 제조방법을 나타내는 공정순서도이다.

도 3은 본 발명의 실시예에 따른 금속 게이트 패턴을 갖는 반도체 소자의 제조방법을 나타내는 공정순서도이다.

도 4는 본 발명의 실시예에 따른 금속 게이트 패턴의 일 예를 보여주는 단면도이다.

도 5 내지 도 8은 본 발명의 실시예에 따른 캡핑층의 다양한 형태들을 보여주는 단면도들이다.

도 9는 본 발명의 실시예를 적용하여 제조된 반도체소자의 셀영역에서의 단면을 보여주는 사진이다.

도 10은 본 발명의 실시예를 적용하여 제조된 반도체소자의 주변영역에서의 단면을 보여주는 사진이다.

도 11a는 종래 기술에 따라 선택적 산화 공정을 수행한 경우 게이트 에지에서의 게이트 산화막의 두께를 보여주는 사진이다.

도 11b는 종래 기술에 따라 선택적 산화 공정을 수행한 경우 게이트 중앙에서의 게이트 산화막의 두께를 보여주는 사진이다.

도 12a는 본 발명의 실시예에 따라 선택적 산화 공정을 수행한 경우 게이트 에지에서의 게이트 산화막의 두께를 보여주는 사진이다.

도 12b는 본 발명의 실시예에 따라 선택적 산화 공정을 수행한 경우 게이트 중앙에서의 게이트 산화막의 두께를 보여주는 사진이다.

※ 도면의 주요 부분에 대한 부호의 설명

10 ; 기판 12 ; 게이트 절연층

14 ; 제1 게이트 도전층 16 ; 제2 게이트 도전층

18 ; 제3 게이트 도전층 20 ; 게이트 마스크층

22 ; 제1 캡핑층 24 ; 제2 캡핑층

22a ; 제1 캡핑층 스페이서 24a ; 제2 캡핑층 스페이서

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<18> 본 발명은 금속 게이트 패턴을 갖는 반도체소자의 제조방법에 관한 것으로, 보다 상세하게는 비저항이 매우 낮은 금속층을 포함한 금속 게이트 패턴의 식각시 발생하는

데미지를 큐어링(Curing)하기 위해 수행되는 선택적 산화(Selective Oxidation) 공정을 포함하는 금속 게이트 패턴을 갖는 반도체소자의 제조방법에 관한 것이다.

<19> 반도체소자의 집적도가 높아짐에 따라 개별 반도체소자의 크기가 급격히 감소하고 있으며, 이에 따라 신호 지연시간의 감소를 위해 비저항이 낮은 물질을 폭넓게 사용하게 되었다. 특히, 게이트의 면저항과 게이트 스택의 높이를 낮추기 위하여 비저항이 매우 낮은 금속 계열의 물질을 이용한 금속 게이트에 대한 연구가 활발히 진행되고 있다. 이러한 연구들 가운데 공정의 집적도 측면에서 실행가능성(feasibility)이 큰 텅스텐(W)/텅스텐나이트라이드(WN)/폴리실리콘 스택 구조의 금속 게이트가 개발되었다.

<20> 이러한, 금속 게이트 스택 구조는 일반적으로 실리콘기판상에 게이트 절연층을 형성한 후 폴리실리콘층, 텅스텐나이트라이드층, 텅스텐층 및 게이트 마스크층을 차례로 적층한 후, 포토리소그래피 공정을 이용하여 식각마스크층을 형성한 후 건식 식각하여 금속 게이트 패턴을 형성한다. 이때 건식 식각공정에 의해 노출된 실리콘기판의 표면이나 금속 게이트 패턴의 측벽에 통상적으로 데미지가 발생하기 때문에 이를 큐어링하기 위해 산화 공정을 더 수행하게 되며 이를 소위 '게이트 폴리실리콘 재산화 공정(gate polysilicon reoxidation process)'이라고 한다.

<21> 그러나 일반적인 게이트 폴리실리콘 재산화 공정은 건식 산화 공정에 의해 수행하지만 금속 게이트 패턴에 포함된 금속층인 텅스텐층의 노출된 표면이 산화되는 문제가 발생하며, 이러한 텅스텐층의 산화에 의해 게이트의 유효 단면적이 감소하게 되어 도전 라인인 게이트 라인의 저항값을 증가시켜 신호전달의 지연을 초래하게 된다. 또한 텅스텐층의 산화는 금속 게이트 패턴의 수직 프로파일을 불량하게 만드는 요인이 된다.

- <22> 이러한 문제를 극복하기 위해 금속 게이트 패턴에 포함된 텅스텐층의 산화를 억제하면서 폴리실리콘층과 실리콘기판을 산화시키는 공정이 요구되고 있으며, 이를 위하여 H_2O 와 H_2 의 분압비를 이용한 선택적 산화(selective oxidation) 공정이 개발되었다.
- <23> 그러나, 상기 종래의 일반적인 건식 산화 공정과 비교할 때 상기 선택적 산화 공정은 수소가스가 풍부한(H_2 -rich) 습식 산화 공정이므로 폴리실리콘층에 대한 산화에서 서로 다른 양상을 보이고 있다. 아래의 표1은 종래의 건식 산화 공정과 습식 공정인 선택적 산화 공정을 각기 수행한 후 실리콘기판과 폴리실리콘층의 표면에 형성되는 산화층의 두께를 정리한 것이다.

<24> 【표 1】

구 분	건식 산화 공정	선택적 산화 공정	
	850℃, 50 Å	850℃, 50 Å	850℃, 30 Å
실리콘기판상의 산화층의 두께 (T1)	63.14 Å	50.53 Å	30.86 Å
폴리실리콘층상의 산화층의 두께 (T2)	144.84 Å	158.59 Å	93.16 Å
T2 / T1	2.29	3.14	3.02

- <25> 표1에서 알 수 있듯이, 실리콘기판과 폴리실리콘층에 대하여 설정 두께(50 Å)를 동일하게 하여 각기 850℃에서 건식 산화 공정과 습식의 선택적 산화 공정을 수행한 결과, 건식 산화 공정의 경우 폴리실리콘층에 형성되는 산화층의 두께가 실리콘기판상에 형성되는 산화층의 두께에 비하여 약 2.29배 정도가 되지만, 습식 산화 공정의 경우 약 3.14배 정도로 폴리실리콘에서 산화 속도가 상당히 큰 것을 알 수 있다. 설정 두께를 30 Å으로 한 경우에도 습식의 선택적 산화 공정의 경우 폴리실리콘층에서의 산화층의 두께가 실리콘기판상의 산화층의 두께에 비하여 약 3.02배 정도인 것을 알 수 있었다.

- <26> 도 1은 종래 기술에 따른 선택적 산화 공정을 적용한 경우 게이트 길이에 따른 게이트 산화막의 두께를 나타내는 그래프이다. 도 1을 참조하면, 실리콘기판상에 게이트 옥사이드층 및 폴리실리콘층을 포함하는 게이트 패턴에 대하여 선택적 산화 공정을 RTP(Rapid Thermal Process) 장비 및 퍼니스(furnace) 장비에서 여러가지 공정 조건하에서 수행한 결과, 게이트 길이가 180 nm 이상에서는 게이트 패턴의 중앙부근에서의 게이트 옥사이드층의 두께가 약 55 Å 정도이지만, 게이트 길이가 90 nm 이하에서는 게이트 옥사이드층의 두께가 약 85 내지 90 Å 이상으로 증가하는 것을 알 수 있다.
- <27> 즉, 게이트 길이가 작아질 경우 선택적 산화 공정을 진행하게 되면 산화 공정시 발생하는 게이트 옥사이드층의 버즈비크(bird's beak)의 펀치쓰루우로 게이트 옥사이드층의 두께가 급격히 증가하는 것을 의미한다. 그러나 건식 산화 공정의 경우에는 게이트 길이가 90 내지 100 nm에서도 게이트 옥사이드층의 두께 증가가 10 Å 이내로 유지되어 게이트 펀치쓰루우가 습식 공정인 선택적 산화 공정에 비하여 미미한 것을 알 수 있다.
- <28> 따라서, 선택적 산화 공정은 금속 게이트를 적용할 경우 데미지를 큐어링하기 위해 필수적으로 진행되어야 하지만, 습식의 선택적 산화 공정을 진행할 경우 증가하는 게이트 옥사이드층의 두께가 게이트 길이에 따라 증가하는 정도가 달라서 제어성(controllability) 측면에서도 불리하며, 이렇게 증가된 게이트 옥사이드는 주로 폴리실리콘층이 산화된 것이므로 게이트 옥사이드층의 품질(quality) 측면에서도 바람직하지 않기 때문에 게이트 옥사이드층, 특히 작은 게이트 길이(Critical Dimension:CD)에서의 게이트 옥사이드층의 펀치쓰루우는 가능한 최소화되어야 한다.

【발명이 이루고자 하는 기술적 과제】

<29> 본 발명의 목적은 상기의 과제를 해결하기 위하여 이루어진 것으로서, 금속 게이트 패턴에 포함된 금속층의 산화를 억제하면서 게이트 패턴의 에지에 있는 실리콘 함유 물질을 선택적으로 산화시켜 데미지를 양호하게 큐어링할 수 있는 선택적 산화 공정을 포함하는 금속 게이트 패턴을 갖는 반도체소자의 제조방법을 제공하는 데 있다.

<30> 본 발명의 다른 목적은 금속 게이트 패턴의 에지에서 발생된 데미지를 큐어링하면서 게이트 절연층의 펀치쓰루우를 방지할 수 있는 금속 게이트 패턴을 갖는 반도체소자의 제조방법을 제공하는 데 있다.

【발명의 구성 및 작용】

<31> 상기 목적들을 달성하기 위한 본 발명에 따른 금속 게이트 패턴을 갖는 반도체소자의 제조방법은, 실리콘기판상에 게이트 절연층을 형성한 후, 상기 게이트 절연층이 형성된 실리콘기판상에 적어도 금속층을 포함한 금속 게이트 물질층을 증착한다. 이어서 상기 금속 게이트 물질층을 식각하여 금속 게이트 패턴을 형성한 후, 상기 금속 게이트 패턴상에 캡핑층을 형성하고, 상기 금속 게이트 패턴을 형성하기 위한 식각시 발생한 데미지를 큐어링하기 위해 상기 금속 게이트 패턴에 포함된 상기 금속층의 산화를 억제하면서 실리콘을 함유한 물질을 선택적으로 산화시키는 선택적 산화 공정을 수행한다.

<32> 상기 게이트 절연층은 실리콘옥사이드(SiO_2), 실리콘옥시나이트라이드 (SiON), 실리콘나이트라이드(SiN), 금속산화물, 금속실리케이트, 고유전물질 등의 절연성 물질층이 적어도 한 층이상 포함될 수 있다. 또한, 상기 금속층은 W, Ni, Co, TaN, Ru-Ta, TiN,

Ni-Ti, Ti-Al-N, Zr, Hf, Ti, Ta, Mo, MoN, WN, Ta-Pt, Ta-Ti 중의 적어도 하나 이상이 포함된 것일 수 있다.

<33> 한편, 상기 금속 게이트 패턴은 금속층/베리어금속층/폴리실리콘층/게이트 절연층, 금속층/폴리실리콘층/게이트 절연층, 금속층/베리어금속층/게이트 절연층 또는 금속층/게이트 절연층 중의 어느 하나를 포함하여 이루어질 수 있으며, 바람직하게는 상기 금속 게이트 패턴은 게이트 마스크층/텅스텐층/텅스텐 나이트라이드층/폴리실리콘층/게이트 절연층으로 이루어질 수 있다.

<34> 상기 캡핑층을 형성하는 단계는 상기 금속 게이트 패턴내에 포함된 상기 금속층의 산화가 일어나지 않도록 상기 금속 게이트 패턴이 형성된 상기 반도체기판의 전면에 실리콘옥사이드층을 형성하는 단계를 포함하는 것일 수 있으며, 상기 캡핑층의 상기 실리콘옥사이드층은 수백 Å 이하, 바람직하게는 500 Å 이하로 형성할 수 있다.

<35> 상기 금속 게이트 패턴내에 포함된 상기 금속층의 산화가 일어나지 않도록 상기 금속 게이트 패턴이 형성된 상기 반도체기판의 전면에 실리콘옥사이드층을 형성하는 단계는, 상기 금속 게이트 패턴이 형성된 상기 실리콘기판을 증착공정이 수행될 수 있는 반응챔버내로 로딩한 후, 상기 반응챔버내에 저온에서 분해가 가능한 질소 원소를 포함하는 질소 분위기가스를 투입하여 상기 반응챔버내를 질소 분위기로 형성하고, 상기 반응챔버내에 실리콘 소오스가스 및 산소 소오스가스를 투입하여 상기 금속 게이트 패턴상에 상기 실리콘옥사이드층을 증착하는 단계를 포함할 수 있다.

<36> 상기 질소 분위기가스로서 산소 원소를 포함하지 않는 가스를 사용할 수 있으며, 바람직하게는 암모니아(NH₃) 가스를 사용할 수 있다. 또한, 상기 실리콘 소오스가스로서 SiH

4, Si_2H_6 , DCS(Dichlorosilane), TCS(Trichlorosilane), HCD (Hexachlorodisilane) 중의 어느 하나를 사용할 수 있으며, 상기 산소 소오스가스로서 N_2O , NO 또는 O_2 를 사용할 수 있다.

<37> 한편, 상기 실리콘 소오스가스를 상기 산소 소오스가스보다 적어도 먼저 투입할 수도 있으며, 상기 실리콘 소오스가스와 상기 산소 소오스가스를 동시에 투입할 수도 있다. 상기 질소 분위기가스는 상기 산소 소오스가스를 투입한 후에 투입을 중단할 수도 있으며, 상기 산소 소오스가스의 투입과 동시에 투입을 중단할 수도 있으며, 상기 실리콘 소오스가스 또는 산소 소오스가스를 투입하기 전에 투입을 중단할 수도 있다.

<38> 한편, 상기 실리콘옥사이드층을 증착하는 단계는 공정압력이 저압, 예를 들어 0.01 내지 500 Torr 범위내에서 수행할 수 있으며, 공정압력이 이 범위내가 되도록 배기펌프의 펌핑속도와 실리콘 소오스가스 및 산소 소오스가스 등의 공정가스들의 유량을 적절히 조절할 수 있다.

<39> 또한, 상기 실리콘옥사이드층을 증착하는 단계는 적어도 500 °C 이상의 고온에서 열적 화학기상증착(thermal CVD)법에 의해 수행하는 것이 바람직하며, 공정가스의 유량을 매우 적게 하여 증착속도를 낮추는 제한된 범위내에서는 리모트(remote) 플라즈마를 이용한 플라즈마 강화 화학기상증착(PECVD)법에 의해 수행할 수도 있다.

<40> 상기 캡핑층을 형성하는 단계에서는, 상기 실리콘옥사이드층을 증착한 이후, 상기 실리콘옥사이드층을 이방성 식각하여 상기 금속 게이트 패턴의 측벽에 실리콘옥사이드 스페이서를 형성하는 단계를 더 포함할 수 있으며, 상기 실리콘옥사이드층을 증착한 이후, 상기 실리콘옥사이드층의 전면에 실리콘나이트라이드층을 증착하는 단계를 더 포함할 수 있으며, 상기 실리콘나이트라이드층을 증착한 이후, 상기 실리콘나이트라이드층을

이방성 식각하여 상기 금속 게이트 패턴의 측벽에 형성된 상기 실리콘옥사이드층상에 실리콘나이트라이드 스페이서를 형성하는 단계를 더 포함할 수도 있다. 또한, 상기 캡핑층을 형성하는 단계는 상기 금속 게이트 패턴내에 포함된 상기 금속층의 산화가 일어나지 않도록 상기 금속 게이트 패턴이 형성된 상기 반도체기판의 전면에서 실리콘나이트라이드층을 형성하는 단계를 포함하는 것일 수도 있다.

<41> 한편, 상기 선택적 산화 공정을 수행하는 단계는, H_2O 와 H_2 의 분압비를 이용한 습식 산화 공정, 바람직하게는 수소가스가 풍부한(H_2 -rich) 습식 산화 공정일 수 있다.

<42> 상기 선택적 산화 공정을 수행하는 단계 이후에, 상기 금속 게이트 패턴을 이온주입 마스크로 하여 상기 실리콘기판내에 불순물 이온을 주입하는 단계를 더 포함할 수 있으며, 상기 캡핑층을 제거하거나 그대로 유지한 채 후속 공정들을 수행할 수도 있다.

<43> 본 발명에 따르면, 금속층을 포함하는 금속 게이트 패턴을 갖는 반도체소자에 대한 재산화 공정인 선택적 산화 공정을 적용하기 전에 상기 금속 게이트 패턴상에 캡핑층을 더 증착한 후 선택적 산화 공정을 진행하기 때문에 이 캡핑층에 의해 선택적 산화 공정 중에 산화제(oxidant)의 확산이 제한되어 금속 게이트 패턴 형성을 위한 건식 식각 공정시 발생한 게이트 패턴 에지에서의 데미지를 큐어링할 수 있지만 게이트 절연층의 펀치 스루우를 방지할 수 있다.

<44> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예들을 상세하게 설명한다. 그러나, 본 발명은 많은 상이한 형태로 구현될 수 있으며, 여기서 설명되는 실시예들에 한정되는 것으로 해석되서는 아니되며, 차라리 이러한 실시예들은 그 개시내용을 완벽히 하며 발명의 사상을 당업자에게 충분히 전달하기 위해 제공되는 것이다. 도면들에서, 층

들 및 영역들의 두께는 명료성을 위해 과장되어 있다. 동일한 참조번호는 전체적으로 동일한 요소를 지칭한다. 층, 영역 또는 기판과 같은 요소가 다른 요소 "상"에 있는 것으로 언급될 때, 이것은 다른 요소 위에 직접 있거나 중간요소가 개입될 수도 있다. 반대로, 어떤 요소가 다른 요소 "직접 상"에 있는 것으로 언급될 때, 그 곳에는 중간요소가 존재하지 않는 것을 의미한다.

<45> 도 2는 본 발명의 일 실시예에 따른 금속 게이트 패턴을 갖는 반도체소자의 제조방법을 나타내는 공정순서도이며, 도 4 및 도 5는 본 발명의 일 실시예에 따른 금속 게이트 패턴을 갖는 반도체소자의 제조방법을 나타내는 공정단면도들이다.

<46> 도 2, 도4 및 도 5를 참조하여 본 발명의 일 실시예에 따른 금속 게이트 패턴을 갖는 반도체소자의 제조방법을 상세히 설명한다.

<47> 먼저, 비저항이 낮은 금속층을 적어도 하나 이상 포함하는 금속 게이트 물질층을 증착한(S10) 후, 포토리소그래피 공정에 의한 건식 식각으로 금속 게이트 패턴을 형성한다(S20). 즉, 도 4에서 보여지는 바와 같이, 예를 들어 단결정 실리콘으로 된 실리콘기판(10)상에 게이트 절연층(12)으로서 게이트 산화층, 제1 도전층(14)으로서 폴리실리콘층, 제2 도전층(16)으로서 텅스텐나이트라이드층, 제3 도전층(18)으로서 텅스텐층 및 게이트 마스크층(20)으로서 절연성의 실리콘나이트라이드층을 순차적으로 적층한 후, 일반적인 포토리소그래피 공정에 의해 이들 층들로 이루어진 금속 게이트 패턴을 형성한다. 상기와 같은 금속 게이트 패턴을 건식 식각공정에 의해 수행되기 때문에 노출된 실리콘기판(10)의 표면 및 금속 게이트 패턴의 에지에는 많은 데미지가 발생하게 된다.

<48> 본 실시예에서는 금속 게이트 패턴이 게이트 마스크층/텅스텐층/텅스텐나이트라이드층/폴리실리콘층/게이트 산화층으로 구성된 스택 구조에 대하여 예시하고

있으나, 본 발명은 여기에 한정되지 않고, 적어도 금속층을 포함한 다양한 형태의 금속 게이트 패턴을 형성할 수 있다. 예를 들어, 상기 금속 게이트 패턴은 금속층/베리어금속층/폴리실리콘층/게이트 절연층, 금속층/폴리실리콘층/게이트 절연층, 금속층/베리어금속층/게이트 절연층 또는 금속층/게이트 절연층 중의 어느 하나의 형태를 갖는 스택 구조로 형성할 수 있으며, 각 스택 구조의 금속층 상에는 실리콘나이트라이드등으로 된 절연성의 게이트 마스크층이 형성된다.

<49> 한편, 상기 금속 게이트 패턴의 예들에서 보여지는 바와 같이, 본 발명의 적용을 받는 금속 게이트 패턴은 게이트 절연층상에 폴리실리콘층이 형성되는 것이 폴리실리콘층의 재산화 공정이라는 측면에서 바람직한 게이트 패턴이라고 할 수 있지만, 본 발명은 반드시 이에 한정되는 것이 아니며 실리콘기판상에 금속 게이트 패턴이 형성되는 경우라면 재산화 공정중에 실리콘기판의 표면에서 산화가 발생되어 게이트 패턴 에지에서 의 데미지에 대한 소정의 큐어링을 달성할 수 있기 때문에 게이트 절연층상에 곧바로 금속층이 형성된 금속 게이트 패턴에 대하여도 본 발명을 적용할 수 있음은 물론이다.

<50> 한편, 상기 금속 게이트 패턴에서 상기 게이트 절연층(12)은 실리콘옥사이드(SiO_2)층 이외에도 실리콘옥시나이트라이드(SiON), 실리콘나이트라이드(SiN), HfO_x , ZrO_x , HfAlO_x 등의 금속산화물, 금속실리케이트, 기타 고유전물질층 등의 절연성 물질층이 단층으로 이루어지거나 이들의 복수층으로 이루어질 수도 있다.

<51> 한편, 상기 금속층으로서는 텅스텐(W) 이나 텅스텐나이트라이드(WN) 이외에도 Ni, Co, TaN, Ru-Ta, TiN, Ni-Ti, Ti-Al-N, Zr, Hf, Ti, Ta, Mo, MoN, WN, Ta-Pt, Ta-Ti 등의 비저항이 작은 물질중의 적어도 하나로 형성할 수도 있다.

- <52> 계속하여 도 2 및 도 5에서 보여지는 바와 같이, 금속 게이트 패턴이 형성된 실리콘기판(10)의 전면에 제1 캡핑층(22)을 증착한다(S30). 본 발명의 실시예에서 상기 제1 캡핑층(22)으로서 실리콘옥사이드층을 사용하였지만, 실리콘나이트라이드층을 사용할 수도 있다. 또한 후술하는 도 7에서와 같이 제1 캡핑층(22)으로서 실리콘옥사이드층과 제2 캡핑층(24)으로서 실리콘나이트라이드층의 이중층을 사용할 수도 있다. 본 발명에서 상기 제1 캡핑층(22)으로서 실리콘옥사이드층을 금속 게이트 패턴 상에 증착하는 경우 금속 게이트 패턴내에 포함된 금속층의 산화는 억제되어야 한다.
- <53> 금속층인 텅스텐나이트라이드층(16) 및 텅스텐층(18)의 표면이 산화됨이 없이 실리콘옥사이드층을 금속 게이트 패턴상에 형성하는 바람직한 실시예를 구체적으로 살펴본다.
- <54> 먼저, 도 4에서 보여지는 금속 게이트 패턴이 형성된 실리콘기판(10)을 화학기상증착공정을 수행할 수 있는 반응챔버내로 로딩한다. 본 실시예에서 사용하는 상기 반응챔버로서는 매엽식 반응챔버 또는 배치식 반응챔버중 어느 것을 사용하여도 좋으며, 설비의 종류에 따라서 최적 공정조건은 차이가 있으며, 이는 당업계에서 통상의 지식을 가진 자에 의해서 적절한 조건을 설정할 수 있다.
- <55> 이어서, 상기 반응챔버 내를 질소 분위기로 유지시킨다. 상기 반응챔버를 질소 분위기로 유지하기 위해 반응챔버내에 적어도 질소 원소를 포함하는 질소 분위기 가스를 일정한 유량으로 일정한 시간 동안 플로우시켜준다. 상기 질소 분위기가스로서는 저온에서 분해가 가능하며, 텅스텐 등의 금속층의 산화가 일어나지 않도록 적어도 산소 원소를 포함하지 않은 가스를 사용하며, 본 실시예에서는 암모니아(NH_3) 가스를 사용하였다.

<56> 이어서, 상기 질소 분위기로 유지되는 반응챔버내에 실리콘옥사이드층을 형성하기 위한 공정가스로서, 실리콘 소오스가스 및 산소 소오스가스를 공급하여 게이트 패턴상에 캡핑층(22)인 실리콘옥사이드층을 형성한다. 상기 실리콘 소오스가스로서는 SiH_4 , Si_2H_6 , DCS(Dichlorosilane), TCS(Trichlorosilane), HCD (Hexachlorodisilane) 등의 소오스가스를 사용할 수 있으며, 상기 산소 소오스가스로서는 N_2O , NO 또는 O_2 를 사용할 수 있다. 본 실시예에서는 실리콘 소오스가스로서 실란가스를 사용하였으며, 산소 소오스가스로서 산소 가스를 사용하였다.

<57> 상기 반응챔버내를 질소 분위기로 유지하는 단계와 실리콘 소오스가스 및 산소 소오스가스를 공급하여 게이트 패턴상에 실리콘옥사이드층을 형성하는 단계에 대해서 보다 구체적으로 설명하면, 암모니아 가스를 투입하여 반응챔버를 질소 분위기로 유지한 후 산소 가스가 반응챔버내에 투입된 후 암모니아 가스의 투입을 중단시키는 형태로 할 수도 있으며, 암모니아 가스를 산소 가스가 반응챔버내에 투입됨과 동시에 그 투입을 중단시키는 형태로도 할 수 있으며, 암모니아 가스를 산소 가스가 반응챔버내에 투입되기 전에 그 투입을 중단시키는 형태로도 할 수 있다. 또한, 각기 실란 가스를 산소 가스보다 먼저 투입할 수도 있으며, 실란 가스와 산소 가스를 동시에 투입할 수도 있다.

<58> 상기 각 실시예에서의 공정조건은 반응챔버의 종류, 크기, 사용 가스의 종류, 압력 등에 따라서 달라질 수 있으며, 본 발명의 실시예에 사용될 수 있는 공정조건은 다음과 같다. 즉, 반응챔버의 설비 형태가 매엽식인 경우 공정온도는 500 내지 850℃, 공정압력은 100 내지 300 Torr, NH_3 유량은 50 내지 500 sccm, SiH_4 유량은 1 내지 10 sccm, N_2O 유량은 500 내지 5000 sccm 범위의 공정조건으로 설정될 수 있거나 또는 공정온도가 500 내지 850℃, 공정압력이 0.1 내지 3 Torr, NH_3 유량이 50 내지 1000 sccm, SiH_4 유

량이 1 내지 50 sccm, N_2O 유량은 50 내지 1000 sccm 범위의 공정조건으로 설정될 수 있으며, 설비 형태가 배치식인 경우 공정온도는 500 내지 850℃, 공정압력은 0.1 내지 2 Torr, NH_3 유량은 50 내지 1000 sccm, DCS 유량은 5 내지 200 sccm, N_2O 유량은 50 내지 1000 sccm 범위의 공정조건으로 설정될 수 있다.

<59> 한편, 산소 소오스가스를 반응챔버에 투입하기 전에 질소 분위기가스의 투입을 중단하는 경우라 하더라도 질소 분위기가스의 중단시점과 산소 소오스가스의 투입시점을 짧게 하여 반응챔버내를 질소 분위기로 유지한 채 실리콘 소오스가스 및 산소 소오스가스를 투입할 수도 있다.

<60> 본 실시예에서 상기 제1 캡핑층(22)은 약 500 Å 이하의 두께가 되도록 형성하며, 본 실시예에서는 약 100 Å 정도로 설정하여 형성하였다.

<61> 한편, 도 6은 본 발명의 다른 실시예로서, 도 5에서 제1 캡핑층(22)인 실리콘옥사이드층을 형성한 후 후술하는 선택적 산화 공정을 수행하기 전에 상기 실리콘옥사이드층에 대하여 이방성 식각 공정을 수행하여 금속 게이트 패턴의 측벽에 제1 캡핑층 스페이서(22a)를 형성한 실시예를 보여준다.

<62> 도 7은 본 발명의 또다른 실시예를 나타낸 도면으로서, 도 5에서 제1 캡핑층(22)으로서 실리콘옥사이드층과 제2 캡핑층(24)으로서 실리콘나이트라이드층을 형성한 경우를 나타낸다. 도 8은 본 발명의 또다른 실시예를 나타낸 도면으로서, 도 7에서 제2 캡핑층(24)인 실리콘나이트라이드층에 대하여 이방성 식각 공정을 수행하여 제1 캡핑층(22)의 측벽에 제2 캡핑층 스페이서(24a)를 형성한 실시예를 보여준다.

- <63> 도 6 및 도 7은 도 3에 의한 공정순서도에 따라 형성된 것을 나타내며, 금속 게이트 패턴상에 캡핑층을 증착한(S30) 후, 금속 게이트 패턴의 측벽에 스페이서를 형성하는 단계(S35)를 더 추가하는 경우의 실시예들이다.
- <64> 다시 도 2를 참조하면, 금속 게이트 패턴상에 캡핑층을 증착(S30)한 후, 선택적 산화 공정을 수행한다(S40). 상기 선택적 산화 공정은 금속 게이트 패턴을 형성하기 위한 건식 식각시 실리콘기판(10)의 노출된 표면이나 금속 게이트 패턴의 에지부분에서 발생한 데미지를 큐어링하기 위한 것으로서, 상기 금속 게이트 패턴에 포함된 상기 텅스텐층(18) 또는 텅스텐나이트라이드층(16)의 산화를 억제하면서 실리콘을 함유한 물질인 상기 실리콘기판(10) 및 폴리실리콘층(14)의 표면을 선택적으로 산화시키게 된다. 상기 선택적 산화 공정은 H_2O 와 H_2 의 분압비를 이용한 습식 산화 공정으로서 H_2 가 풍부한 분위기하에서 수행한다.
- <65> 이어서, 상기 캡핑층(22)이 형성된 상태로 또는 상기 캡핑층(22)만을 제거한 상태에서 금속 게이트 패턴을 이온주입 마스크로 하여 실리콘기판(10)내에 불순물 이온을 주입하여 불순물 영역, 바람직하게는 저농도로 도핑된 불순물 영역을 형성하는 등 반도체 소자의 제조과정에 따른 후속 공정들을 수행한다.
- <66> 도 9 및 도 10은 본 발명의 실시예에 따라 캡핑층(22)을 실리콘옥사이드층으로 약 100 Å 정도로 형성한 후, 선택적 산화 공정을 진행하여도 텅스텐층(18) 및 텅스텐나이트라이드층(16)의 산화는 발생하지 않고 실리콘기판(10)과 폴리실리콘층(14)에만 산화가 일어나는 것을 보여주는 주사전자현미경 사진이다. 도 9는 반도체 메모리장치에서 게이트 패턴이 밀집되어 게이트 길이가 작은 셀영역에서의 단면을 보여주는 사진이며, 도

10은 게이트 패턴이 밀집되지 않고 게이트 길이가 상대적으로 큰 주변영역(Peripheral region)에서의 단면을 보여주는 사진이다.

<67> 도 9 및 도 10의 경우 모두 금속 게이트 패턴상에 실리콘옥사이드층을 형성한 후, 선택적 산화 공정을 수행한 후, 실리콘기판의 전면에 폴리실리콘층을 두껍게 형성하고, 실리콘기판을 수직으로 절단한 것이다. 절단된 실리콘기판은 HF처리를 하였으며, HF처리를 수행하면 폴리실리콘이나 금속 게이트 패턴의 다른 물질층보다 실리콘옥사이드층이 선택적으로 빨리 식각되어진다. 도 10 및 도 11에서 게이트 라인 패턴을 따라 검게 나타난 부분이 실리콘옥사이드층이 증착된 부분과 실리콘기판 및 폴리실리콘층이 산화된 부분을 나타낸다.

<68> 도 9 및 도 10으로부터, 금속 게이트 패턴에 포함된 금속층(16,18)의 산화없이 실리콘기판(10)이나 폴리실리콘층(14)만이 선택적으로 산화된 것을 알 수 있다.

<69> 이어서, 금속 게이트 패턴의 에지에서의 데미지 큐어링과 게이트 절연층의 편치스 루우의 발생 여부를 알아보았다.

<70> 도 11a는 90 nm의 게이트 길이를 갖는 금속 게이트 패턴에 대하여 종래 기술에서와 같이 캡핑층의 증착없이 선택적 산화 공정을 수행한 경우 게이트 패턴의 에지에서의 게이트 옥사이드층의 두께를 보여주는 사진이며, 도 11b는 게이트 패턴의 중앙에서의 게이트 옥사이드층의 두께를 각기 보여주는 사진이다.

<71> 게이트 패턴의 에지에서의 게이트 옥사이드층의 두께는 98 Å이며, 중앙에서의 게이트 옥사이드층의 두께는 90 Å이다. 선택적 산화 공정을 수행하기 전의 게이트 옥사이드

드층의 두께가 55 Å인 것과 비교해 볼 때 선택적 산화 공정으로 인하여 게이트 옥사이드층의 펀치쓰루우가 심하게 발생하였음을 알 수 있다.

<72> 이에 비하여 도 12a는 본 발명의 실시예에 따라 90 nm의 게이트 길이를 갖는 금속 게이트 패턴에 대하여 약 100 Å의 실리콘옥사이드층을 캡핑층으로 형성한 후 도 11a 및 도 11b에서와 동일한 조건하에서 선택적 산화 공정을 수행한 경우 게이트 에지와 중앙에서의 게이트 옥사이드층의 두께들을 보여주는 사진이다.

<73> 도 12a에서 보여지는 바와 같이 게이트 패턴의 에지에서의 게이트 옥사이드층의 두께는 91 Å이며, 도 12b에서와 같이 게이트 패턴의 중앙에서의 게이트 옥사이드층의 두께는 63 Å이다. 도 11a 및 도 11b와 비교해 볼 때 게이트 패턴의 에지에서는 게이트 패턴의 에지에서의 식각 데미지를 충분히 큐어링할 수 있을 정도로 거의 동일한 정도의 산화가 일어나지만, 게이트 패턴의 중앙에서는 게이트 옥사이드층의 두께 증가가 10Å 이내로서 게이트 옥사이드층의 펀치쓰루우가 최소화됨을 알 수 있다.

<74> 이상에서 본 발명의 실시예들에 대하여 상세히 설명하였지만, 본 발명의 기술범위는 상기 실시예들의 형태에 한정되는 것이 아니라 본 발명의 기술적 사상을 벗어나지 않는 범위내에서 당업자의 기술수준에 따라 여러 가지로 변경을 가하는 것이 가능하다. 예를 들어, 상기 실시의 형태에서 예시된 각 층의 재료, 막두께, 제조공정에 있어서 각종 공정조건 등의 구체적인 수치는 단지 일 예에 불과하며, 반응챔버의 종류 및 공정가스의 선택에 따라 공정조건들에 대한 적절한 변경이 가능하다.

<75> 또한, 본 실시예에서는 금속 게이트 패턴상에 캡핑층을 형성하는 방법으로서 반응 챔버를 미리 질소 분위기로 유지한 후 실리콘 소오스가스와 산소 소오스가스를 투입하여 실리콘옥사이드층을 형성하였으나, 금속 게이트 패턴내에 포함된 금속층을 산화시킴이

없이 금속 게이트 패턴상에 실리콘옥사이드층을 형성하는 다양한 방법을 적용할 수 있다. 구체적으로는, 약 400 °C 내지 550 °C의 저온에서 플라즈마 강화 화학기상증착법에 의해 실리콘옥사이드층을 형성하는 경우로서, 이러한 저온에서는 산소가스가 분해되지 않기 때문에 텅스텐층의 산화가 일어나지 않으며, 플라즈마를 점화하여 실리콘옥사이드층을 증착하는 동안에 실리콘 소오스가스인 실란가스도 플로우되고 있는 상태이므로 실리콘과 산소가 반응하여 텅스텐의 산화없이 실리콘옥사이드층의 증착이 가능하다.

<76> 또한, 약 750 °C 정도의 고온에서 플라즈마 강화 화학기상증착법에 의해 실리콘옥사이드층을 형성하는 경우, 산소 가스와 실란 가스를 동시에 플로우시킬 경우 텅스텐의 산화없이 실리콘옥사이드층을 증착할 수도 있다.

<77> 또한, 약 750°C 정도의 온도에서 저압 화학기상증착법에 의해 실리콘옥사이드층을 형성하는 경우, 실란(SiH_4) 가스를 산화질소(N_2O) 가스보다 약간 먼저 플로우시킬 경우 텅스텐의 산화없이 실리콘옥사이드층을 증착할 수도 있다.

<78> 또한, 본 실시예에서는 캡핑층 형성시 매엽식 반응챔버에 대한 화학기상증착공정에 대하여 공정조건을 들어 설명하였으나, 챔버의 용적이 큰 퍼니스(furnace)를 사용하는 경우에도 그 압력 및 온도와 유량등을 적절히 설정하여 본 발명을 적용할 수 있다. 나아가, 본 실시예에서는 비록 열적 화학기상증착법에 의한 실리콘옥사이드층의 증착에 대하여 설명하였지만, 공정 가스의 유량을 아주 적게 하거나, 리모트(remote) 플라즈마를 이용하여 증착속도를 매우 작게 하는 경우에 플라즈마를 이용한 증착 공정에도 적용될 수 있다.

【발명의 효과】

<79> 본 발명에 의하면, 금속 게이트 패턴 상에 산화공정시 산화제(oxidant)의 확산을 제한할 수 있는 캡핑층을 금속 게이트 패턴내에 포함된 금속층의 산화없이 형성한 후, 선택적 산화 공정을 수행하기 때문에 게이트 패턴의 에지에서 발생한 식각 데미지를 충분히 큐어링할 수 있는 동시에 금속 게이트 패턴의 중앙에 위치하는 게이트 절연층의 산화를 억제하여 게이트 절연층의 편치쓰루우를 최소화하여 신뢰성있는 반도체소자를 제조할 수 있다.

<80> 또한, 본 발명에 의하면 캡핑층 형성시 증착 분위기에 노출된 금속층의 표면에서 금속의 산화가 일어나지 않기 때문에 금속층의 저항 증가를 방지할 수 있으며, 게이트 라인 등의 수직 프로파일이 양호하게 확보할 수 있다.

【특허청구범위】**【청구항 1】**

실리콘기판상에 게이트 절연층을 형성하는 단계;

상기 게이트 절연층이 형성된 실리콘기판상에 적어도 금속층을 포함한 금속 게이트 물질층을 증착하는 단계;

상기 금속 게이트 물질층을 식각하여 금속 게이트 패턴을 형성하는 단계;

상기 금속 게이트 패턴상에 캡핑층을 형성하는 단계; 및

상기 금속 게이트 패턴을 형성하기 위한 식각시 발생한 데미지를 큐어링하기 위해 상기 금속 게이트 패턴에 포함된 상기 금속층의 산화를 억제하면서 실리콘을 함유한 물질을 선택적으로 산화시키는 선택적 산화 공정을 수행하는 단계를 포함하는 금속 게이트 패턴을 갖는 반도체소자의 제조방법.

【청구항 2】

제 1 항에 있어서, 상기 게이트 절연층은 실리콘옥사이드(SiO_2), 실리콘옥시나이트라이드(SiON), 실리콘나이트라이드(SiN), 금속산화물, 금속실리케이트 등의 절연성 물질층이 적어도 한 층이상 포함되는 것을 특징으로 하는 금속 게이트 패턴을 갖는 반도체소자의 제조방법.

【청구항 3】

제 1 항에 있어서, 상기 금속층은 W, Ni, Co, TaN, Ru-Ta, TiN, Ni-Ti, Ti-Al-N, Zr, Hf, Ti, Ta, Mo, MoN, WN, Ta-Pt, Ta-Ti 중의 어느 하나인 것을 특징으로 하는 금속 게이트 패턴을 갖는 반도체소자의 제조방법.

【청구항 4】

제 1 항에 있어서, 상기 금속 게이트 패턴은 금속층/베리어금속층/폴리실리콘층/게이트 절연층, 금속층/폴리실리콘층/게이트 절연층, 금속층/베리어금속층/게이트 절연층 또는 금속층/게이트 절연층 중의 어느 하나를 포함하여 이루어진 것을 특징으로 하는 금속 게이트 패턴을 갖는 반도체소자의 제조방법.

【청구항 5】

제 1 항에 있어서, 상기 금속 게이트 패턴은 게이트 마스크층/텅스텐층/텅스텐 나이트라이드층/폴리실리콘층/게이트 절연층으로 이루어진 것을 특징으로 하는 금속 게이트 패턴을 갖는 반도체소자의 제조방법.

【청구항 6】

제 1 항에 있어서, 상기 캡핑층을 형성하는 단계는 상기 금속 게이트 패턴내에 포함된 상기 금속층의 산화가 일어나지 않도록 상기 금속 게이트 패턴이 형성된 상기 반도체기판의 전면에 실리콘옥사이드층을 형성하는 단계를 포함하는 것을 특징으로 하는 금속 게이트 패턴을 갖는 반도체소자의 제조방법.

【청구항 7】

제 6 항에 있어서, 상기 캡핑층의 상기 실리콘옥사이드층은 500 Å 이하로 형성하는 것을 특징으로 하는 금속 게이트 패턴을 갖는 반도체소자의 제조방법.

【청구항 8】

제 6 항에 있어서, 상기 실리콘옥사이드층을 형성하는 단계는,

상기 금속 게이트 패턴이 형성된 상기 실리콘기판을 증착공정이 수행될 수 있는 반응챔버내로 로딩하는 단계;

상기 반응챔버내에 저온에서 분해가 가능한 질소 원소를 포함하는 질소 분위기가스를 투입하여 상기 반응챔버내를 질소 분위기로 형성하는 단계; 및

상기 반응챔버내에 실리콘 소오스가스 및 산소 소오스가스를 투입하여 상기 금속 게이트 패턴상에 상기 실리콘옥사이드층을 증착하는 단계를 포함하는 금속 게이트 패턴을 갖는 반도체소자의 제조방법.

【청구항 9】

제 8 항에 있어서, 상기 질소 분위기가스로서 산소 원소를 포함하지 않는 가스를 사용하는 것을 특징으로 하는 금속 게이트 패턴을 갖는 반도체소자의 제조방법.

【청구항 10】

제 9 항에 있어서, 상기 질소 분위기가스로서 암모니아(NH_3) 가스를 사용하는 것을 특징으로 하는 금속 게이트 패턴을 갖는 반도체소자의 제조방법.

【청구항 11】

제 8 항에 있어서, 상기 실리콘 소오스가스로서 SiH_4 , Si_2H_6 , DCS(Dichlorosilane), TCS(Trichlorosilane), HCD(Hexachlorodisilane) 중의 어느 하나를 사용하는 것을 특징으로 하는 금속 게이트 패턴을 갖는 반도체소자의 제조방법.

【청구항 12】

제 8 항에 있어서, 상기 산소 소오스가스로서 N_2O , NO 또는 O_2 를 사용하는 것을 특징으로 하는 금속 게이트 패턴을 갖는 반도체소자의 제조방법.

【청구항 13】

제 8 항에 있어서, 상기 실리콘 소오스가스를 상기 산소 소오스가스보다 적어도 먼저 투입하는 것을 특징으로 하는 금속 게이트 패턴을 갖는 반도체소자의 제조방법.

【청구항 14】

제 8 항에 있어서, 상기 실리콘 소오스가스와 상기 산소 소오스가스를 동시에 투입하는 것을 특징으로 하는 금속 게이트 패턴을 갖는 반도체소자의 제조방법.

【청구항 15】

제 8 항에 있어서, 상기 질소 분위기가스는 상기 산소 소오스가스를 투입한 후에 투입을 중단하는 것을 특징으로 하는 금속 게이트 패턴을 갖는 반도체소자의 제조방법.

【청구항 16】

제 8 항에 있어서, 상기 질소 분위기가스는 상기 산소 소오스가스를 투입과 동시에 투입을 중단하는 것을 특징으로 하는 금속 게이트 패턴을 갖는 반도체소자의 제조방법.

【청구항 17】

제 8 항에 있어서, 상기 질소 분위기가스는 상기 실리콘 소오스가스 또는 산소 소오스가스를 투입하기 전에 투입을 중단하는 것을 특징으로 하는 금속 게이트 패턴을 갖는 반도체소자의 제조방법.

【청구항 18】

제 8 항에 있어서, 상기 실리콘옥사이드층을 증착하는 단계는 열적 화학기상증착 (thermal CVD)법에 의해 수행하는 것을 특징으로 하는 금속 게이트 패턴을 갖는 반도체소자의 제조방법.

【청구항 19】

제 8 항에 있어서, 상기 실리콘옥사이드층을 증착하는 단계는 리모트(remote) 플라즈마를 이용한 플라즈마 강화 화학기상증착(PECVD)법에 의해 수행하는 것을 특징으로 하는 금속 게이트 패턴을 갖는 반도체소자의 제조방법.

【청구항 20】

제 6 항에 있어서, 상기 실리콘옥사이드층을 증착한 이후, 상기 실리콘옥사이드층을 이방성 식각하여 상기 금속 게이트 패턴의 측벽에 실리콘옥사이드 스페이서를 형성하는 단계를 더 포함하는 것을 특징으로 하는 금속 게이트 패턴을 갖는 반도체소자의 제조방법.

【청구항 21】

제 6 항에 있어서, 상기 실리콘옥사이드층을 증착한 이후, 상기 실리콘옥사이드층의 전면에 실리콘나이트라이드층을 증착하는 단계를 더 포함하는 것을 특징으로 하는 금속 게이트 패턴을 갖는 반도체소자의 제조방법.

【청구항 22】

제 21 항에 있어서, 상기 실리콘나이트라이드층을 증착한 이후, 상기 실리콘나이트라이드층을 이방성 식각하여 상기 금속 게이트 패턴의 측벽에 형성된 상기 실리콘옥사이드층상에 실리콘나이트라이드 스페이서를 형성하는 단계를 더 포함하는 것을 특징으로 하는 금속 게이트 패턴을 갖는 반도체소자의 제조방법.

【청구항 23】

제 1 항에 있어서, 상기 캡핑층을 형성하는 단계는 상기 금속 게이트 패턴내에 포함된 상기 금속층의 산화가 일어나지 않도록 상기 금속 게이트 패턴이 형성된 상기 반도체기판의 전면에 실리콘나이트라이드층을 형성하는 단계를 포함하는 것을 특징으로 하는 금속 게이트 패턴을 갖는 반도체소자의 제조방법.

【청구항 24】

제 1 항에 있어서, 상기 선택적 산화 공정을 수행하는 단계는, H_2O 와 H_2 의 분압비를 이용한 습식 산화 공정임을 특징으로 하는 금속 게이트 패턴을 갖는 반도체소자의 제조방법.

【청구항 25】

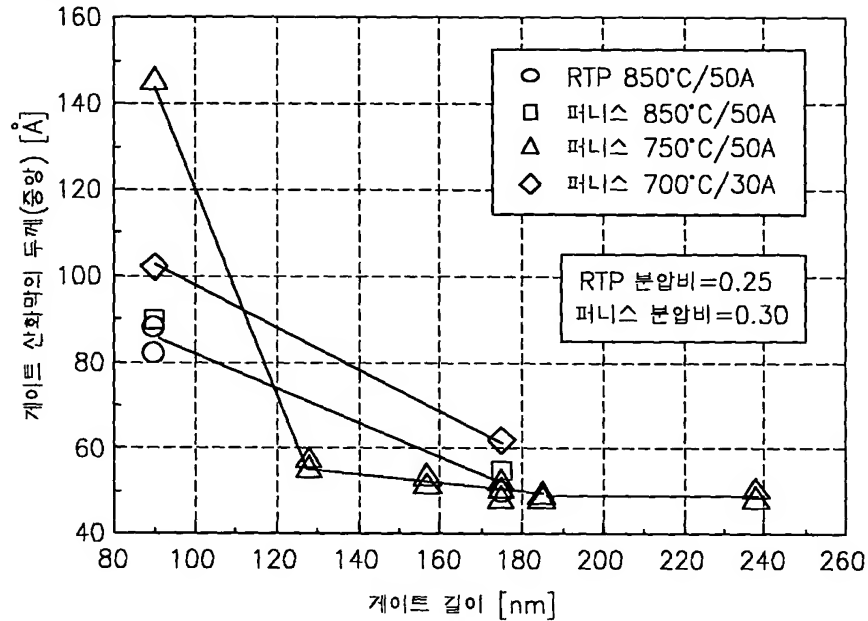
제 1 항에 있어서, 상기 선택적 산화 공정을 수행하는 단계 이후에, 상기 금속 게이트 패턴을 이온주입 마스크로 하여 상기 실리콘기판내에 불순물 이온을 주입하는 단계를 더 포함하는 것을 특징으로 하는 금속 게이트 패턴을 갖는 반도체소자의 제조방법.

【청구항 26】

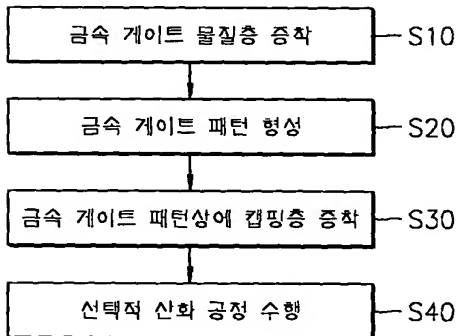
제 1 항에 있어서, 상기 금속 게이트 패턴의 길이는 100 nm 이하인 것을 특징으로 하는 금속 게이트 패턴을 갖는 반도체소자의 제조방법.

【도면】

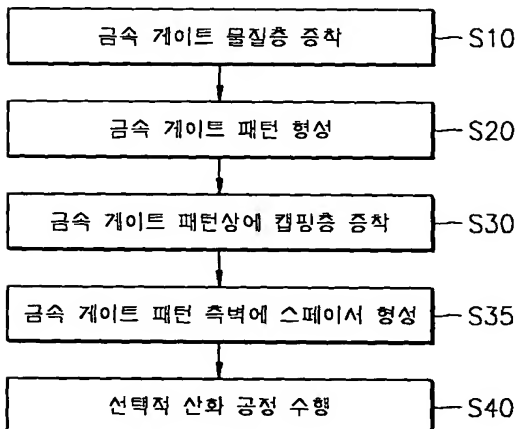
【도 1】



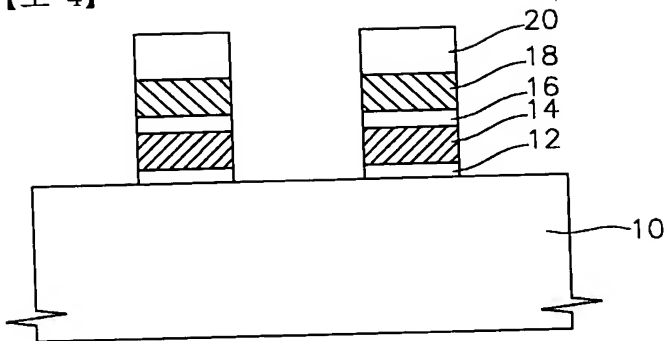
【도 2】



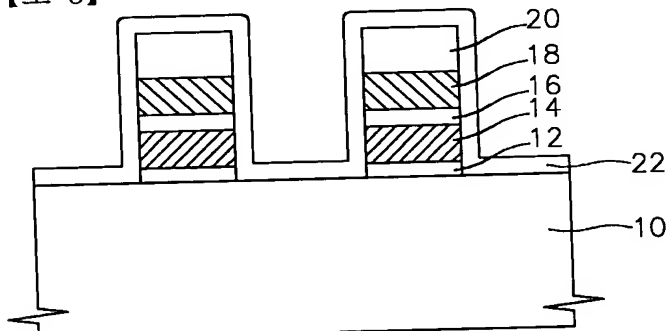
【도 3】



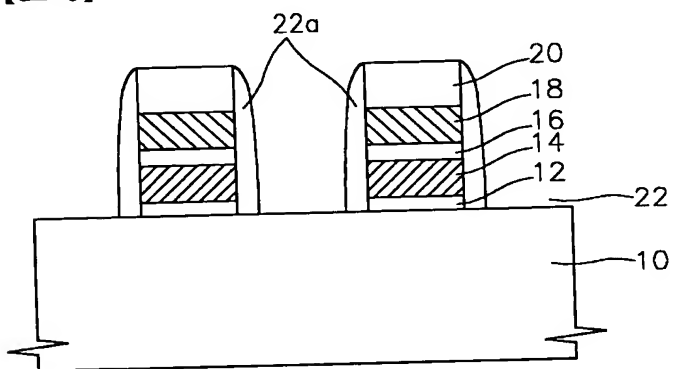
【도 4】



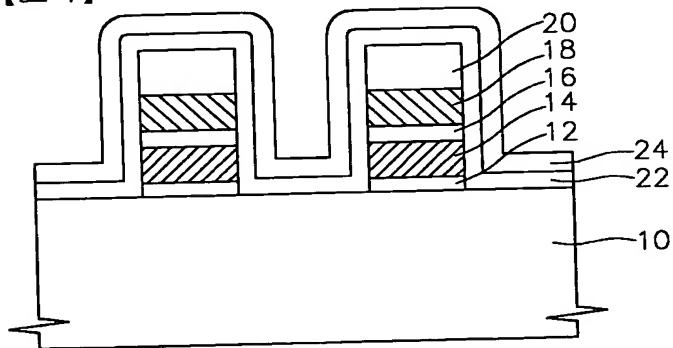
【도 5】



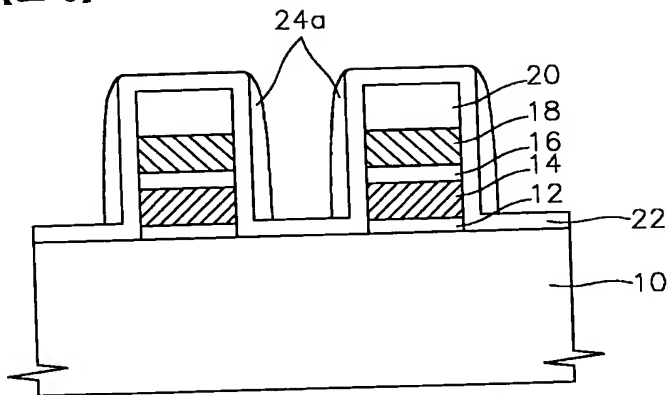
【도 6】



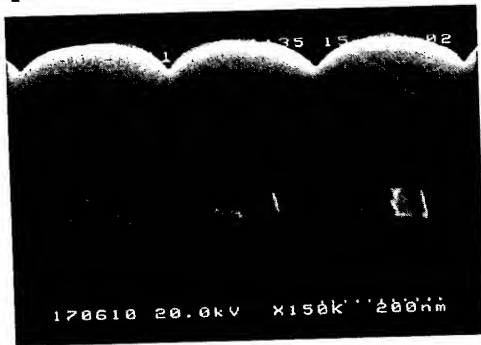
【도 7】



【도 8】



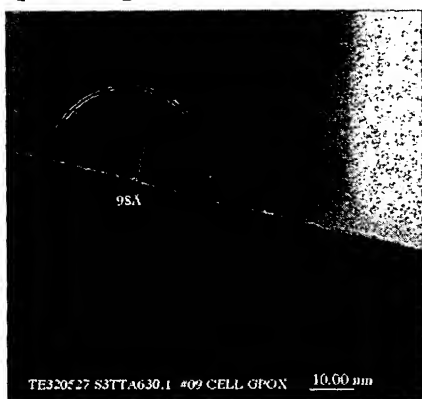
【도 9】



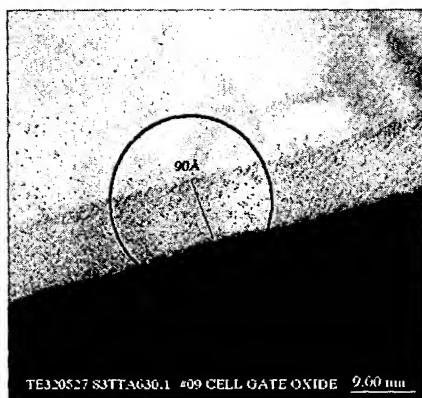
【도 10】



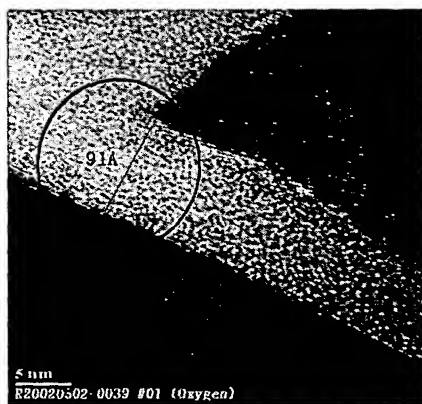
【도 11a】



【도 11b】



【도 12a】



1020020057456

출력 일자: 2002/12/20

【도 12b】

